



(19)

(11) Publication number: **05226351 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **04029136**(51) Int. Cl.: **H01L 21/331 H01L 29/73**(22) Application date: **17.02.92**

(30) Priority:

(43) Date of
application **03.09.93**
publication:(84) Designated
contracting states:(71) Applicant: **SHARP CORP**(72) Inventor: **YAMAMURA KANJI**

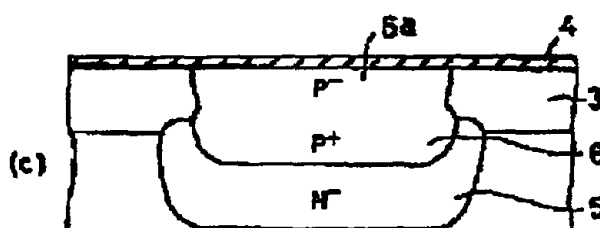
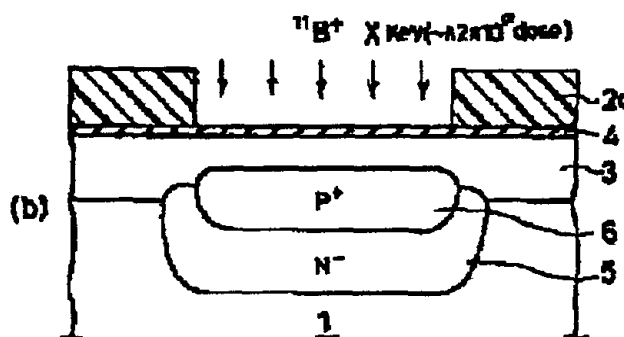
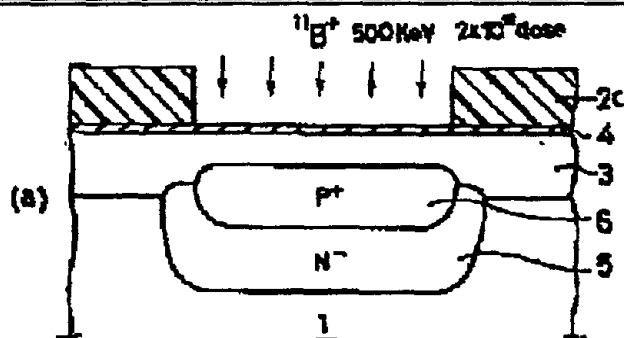
(74) Representative:

**(54) MANUFACTURE
OF SEMICONDUCTOR
DEVICE**

(57) Abstract:

PURPOSE: To obtain a high-frequency and high-speed vertical type PNP transistor by forming a flat low-doped collector area by suppressing the creeping-up of a buried collector layer to an epitaxial layer side by performing diffusion heat treatment, etc., after continuously performing ion implantation two or more times into the epitaxial layer with different acceleration energy.

CONSTITUTION: After a buried area 5 is formed on a semiconductor substrate 1 through a photolithographic process, an epitaxial layer 3 is formed on the entire surface of the substrate 1 and a resist 2c is formed on the layer 3



an opening is formed by removing the resist 2c and film 4 on the part of layer 3 proposed to a low-doped collector layer 6a and ions are continuously implanted into the opening two or more times with different acceleration energy and diffusion heat treatment is performed. For example, boron ions are implanted by changing the acceleration energy from 500KeV to 50KeV through 300KeV, 150KeV, and 100KeV.

COPYRIGHT: (C)
1993,JPO&Japio

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-226351

(43) 公開日 平成5年(1993)9月3日

(51) Int.Cl.⁵ 識別記号 庁内整理番号

H01L 21/331

29/73

7377-4M

F I 技術表示箇所

H01L 29/72

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

技術表示箇所

(21) 出願番号 特願平4-29136

(22) 出願日 平成4年(1992)2月17日

(71) 出願人 0000050491

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 山村 官司

大阪府大阪市阿倍野区長池町22番22号シャープ株式会社内

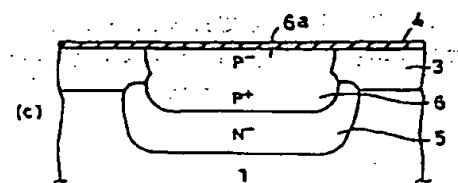
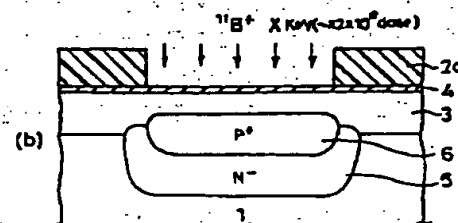
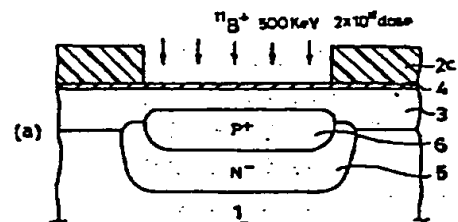
(74) 代理人 弁理士 西田 新

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 埋込みコレクタ層のエピタキシャル層側への通り上がりを抑え、かつフラットな低濃度コレクタ領域を形成することができ、高周波かつ高速縦型のPNPトランジスタを実現する製造方法を提供する。

【構成】 低コレクタ層を形成すべきエピタキシャル層上方の開孔部に異なる加速エネルギーで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有する。



【特許請求の範囲】

【請求項1】 半導体基板上に、フォトリソグラフィ工程により埋込み領域を形成した後、その基板上全面にエピタキシャル層を形成し、その後そのエピタキシャル層上に酸化膜を介してレジストを形成した後、低コレクタ層を形成すべきエピタキシャル層上方の上記レジストおよび酸化膜を除去することにより開口部を設け、その後、その開口部に異なる加速エネルギーで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】 本発明は半導体装置の製造方法に関する。更に詳しくはバイポーラIC、縦型PNPトランジスタに関する。

【0002】 従来の技術 図4および図5に、従来技術における一般的な縦型PNPトランジスタのコレクタ部の製造方法を示す。

【0003】 まず、P型シリコン基板10上にレジスト11aを形成し、底面分離用領域12形成のためのフォトリソグラフィ工程により、 $^{11}\text{P}^+$ のイオン注入を行う(図4(a))。

【0004】 次に、拡散熱処理後、底面分離用領域12上に埋込みコレクタ領域形成のためのフォトリソグラフィ工程により、高濃度($\sim \times 10^{14}$ dose)の $^{11}\text{B}^+$ のイオン注入を行う(図4(b))。

【0005】 次に、エピタキシャル成長を行い、P型シリコン基板10上にエピタキシャル層13を形成する。また、NPNトランジスタ部の分離用の P^+ 領域14を形成する(図4(c))。

【0006】 続いて、コレクタ領域14a形成のためのフォトリソグラフィ工程により、低濃度($\sim \times 10^{12}$ dose)の $^{11}\text{B}^+$ のイオン注入を行う(図5(a))。その後、1000℃で3時間～5時間程度の拡散熱処理を行い、低濃度コレクタ領域14aを形成する(図5(b))。

【0007】 この時のコレクタ領域14の不純物濃度プロファイルを図6に示す。この図に示すように、エピタキシャル層13の不純物濃度は、所定の拡散層の深さまで減少し、低コレクタ層における拡散濃度は一定ではない。

【0008】

【発明が解決しようとする課題】 ところで、従来の技術では、縦型PNPトランジスタを実現させるために、低濃度のコレクタ領域が必要であるが、そのコレクタ領域形成はエピタキシャル成長後、フォト・エッチング、イオン注入、長時間にわたる拡散熱処理により形成されていた。

【0009】 ところが、この長時間拡散処理により、高

濃度埋込みコレクタ層のエピタキシャル層側への、這い上がりによる耐圧の低下が問題となっており、このため、エピタキシャル層を十分厚くする必要があった。しかし、一方高周波かつ高速縦型のPNPトランジスタを実現するための要因として、エピタキシャル層を薄膜化しなければならず、その実現には困難を伴っていた。

【0010】 本発明はこれらの点に鑑みてなされたものであり、埋込みコレクタ層のエピタキシャル層側への這い上がりを抑え、かつフラットな低濃度コレクタ領域を形成することができ、高周波かつ高速縦型のPNPトランジスタを実現する製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 上記の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板上に、フォトリソグラフィ工程により埋込み領域を形成した後、その基板上全面にエピタキシャル層を形成し、その後そのエピタキシャル層上に酸化膜を介してレジストを形成した後、低コレクタ層を形成すべきエピタキシャル層上方の上記レジストおよび酸化膜を除去することにより開口部を設け、その後、その開口部に異なる加速エネルギーで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有することによって特徴付けられる。

【0012】

【作用】 本発明実施例に対応し、その作用を説明する図3に基づいて説明する。イオンの拡散の深さは、イオンの加速エネルギーが大きくなるにつれて大きくなる。したがって、加速エネルギーを500KeV、300KeV、150KeV、100KeV、50KeVと変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、

(a) 図に示すように、それぞれ d_1 、 d_2 、 d_3 、 d_4 、 d_5 の濃度プロファイルとなる。さらに、この状態の基板に拡散熱処理を行うと、拡散深さに対する不純物濃度は一定となり、(b) 図に示すように、低濃度コレクタ領域のどの拡散深さにおいてもフラットな部分を有する濃度プロファイルとなる。

【0013】

【実施例】 図1乃至図2は本発明実施例を経時的に説明する図である。まず、P型シリコン基板1上にレジスト2aを形成し、底面分離用領域5形成のためのフォトリソグラフィ工程により、 $^{31}\text{P}^+$ のイオン注入を行う(図1(a))。

【0014】 次に、拡散熱処理後、底面分離用領域5上に埋込みコレクタ領域形成のためのフォトリソグラフィ工程により、高濃度($\sim \times 10^{14}$ dose)の $^{11}\text{B}^+$ のイオン注入を行う(図1(b))。

【0015】 次に、エピタキシャル成長を行い、P型シリコン基板1上にエピタキシャル層3を形成する。また、NPNトランジスタ部の分離用の P^+ 領域6を形成

3

する〔図1(c)〕。

【0016】次に、エピタキシャル層3上に酸化膜4を形成した後、その酸化膜4上にレジスト2cを形成して、コレクタ領域形成のためのフォトリソグラフィ工程により、高エネルギー、低ドーズの1回目のボロンのイオン注入を行う。本実施例ではこの時の加速エネルギーは500KeV、ドーズ量 2×10^{12} dose程度で行う〔図2(a)〕。

【0017】続いて、ドーズ量は 2×10^{12} doseとして変化させずに一定とし、加速エネルギーを変化させて2回目、3回目、4回目、5回目と連続してイオン注入を行う。この時のエネルギーはそれぞれ300KeV、150KeV、100KeV、50KeVと変化させてイオン注入を行う〔図2(b)〕。

【0018】その後、1000℃、30～60分の拡散熱処理を行い、低濃度コレクタ層6aを形成する。〔図2(c)〕。このように形成された低濃度コレクタ領域の不純物濃度のプロファイルを図3に示す。

【0019】ここで、(a)図は、上述した加速エネルギーのみを変化させて、5回のイオン注入を行った後のプロファイル、また、(b)図は、コレクタ領域形成のための拡散熱処理を行った後のプロファイルを示す。

【0020】すなわち、加速エネルギーを500KeV、300KeV、150KeV、100KeV、50KeVと変化させ、連続してイオン注入を行うと、それぞれの拡散分布は、(a)図に示すように、それぞれ d_1 、 d_2 、 d_3 、 d_4 、 d_5 の濃度プロファイルとなる。さらに、この状態の基板に拡散熱処理を行うと、拡散深さに対する不純物濃度は一定となり、(b)図に示すよう

4

に、低濃度コレクタ領域6aのどの拡散深さにおいてもフラットな濃度プロファイルとなる。

【0021】

【発明の効果】以上説明したように、本発明によれば、低コレクタ層を形成すべきエピタキシャル層上方の開口部に異なる加速エネルギーで2回以上連続してイオン注入を行った後、拡散熱処理を行う工程を有するよう構成したから、短い熱処理時間で低コレクタ層をフラットに形成でき、ヒータが埋込みコレクタ層のエピタキシャル層側への這い上がりを抑制できる。その結果、エピタキシャル層の薄膜化が可能となり、高周波かつ高速縦型PNPトランジスタが実現できる。また、拡散熱処理は従来に比べ、著しく短縮でき有益である。

【図面の簡単な説明】

【図1】本発明実施例を経時的に説明する模式断面図

【図2】本発明実施例を経時的に説明する模式断面図

【図3】本発明実施例を説明する図

【図4】従来例を経時的に説明する図

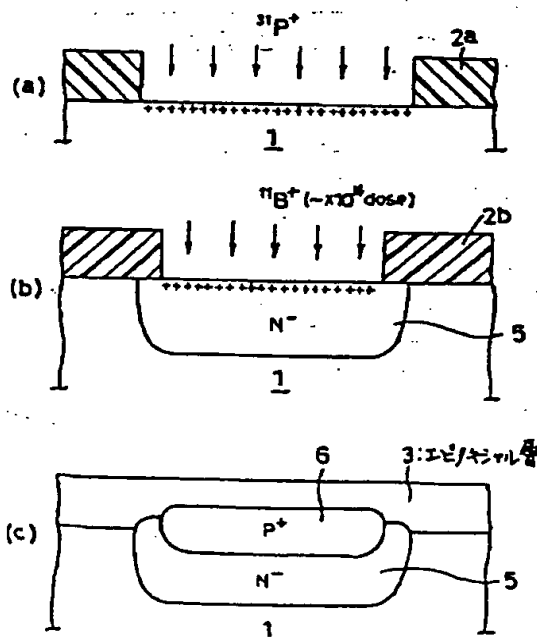
【図5】従来例を経時的に説明する図

【図6】従来例を説明する図

【符号の説明】

- 1……P型基板
- 2a、2b、2c……レジスト
- 3……エピタキシャル層
- 4……酸化膜
- 5……底面分離用領域
- 6……P⁺領域
- 6a……低濃度コレクタ層

【図1】



【図4】

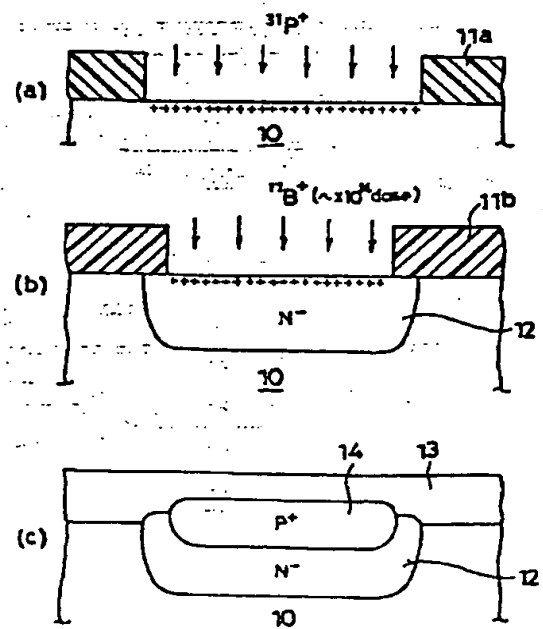
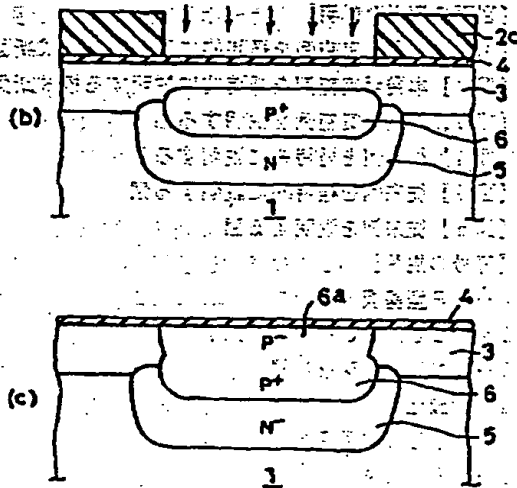


図2は、本発明の第1の実施形態を示す断面図である。図2(a)は、基板1上に、エピタキシャル層2c、層4、層3、層6、層5を順に堆積した状態を示す。層2cは、 $^{11}\text{B}^+$ 500KeV 2×10^{15} doseでイオン注入された層である。層4は、P⁺型半導体層である。層3は、N⁻型半導体層である。層6は、P⁺型半導体層である。層5は、N⁻型半導体層である。図2(b)は、層4と層6をエッチングして、層3と層5を露出させた状態を示す。図2(c)は、層3と層5をエッチングして、層1を露出させた状態を示す。



【図5】

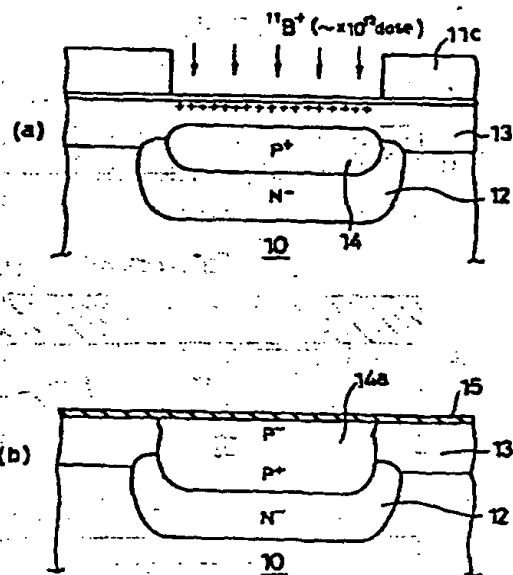
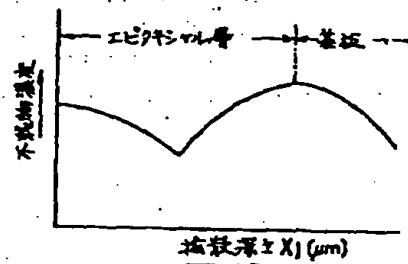


図3は、本発明の第2の実施形態を示す断面図である。図3(a)は、基板1上に、エピタキシャル層2c、層4、層3、層6、層5を順に堆積した状態を示す。層2cは、 $^{11}\text{B}^+$ 500KeV 2×10^{15} doseでイオン注入された層である。層4は、P⁺型半導体層である。層3は、N⁻型半導体層である。層6は、P⁺型半導体層である。層5は、N⁻型半導体層である。図3(b)は、層4と層6をエッチングして、層3と層5を露出させた状態を示す。図3(c)は、層3と層5をエッチングして、層1を露出させた状態を示す。

図4は、本発明の第3の実施形態を示す断面図である。図4(a)は、基板1上に、エピタキシャル層2c、層4、層3、層6、層5を順に堆積した状態を示す。層2cは、 $^{11}\text{B}^+$ 500KeV 2×10^{15} doseでイオン注入された層である。層4は、P⁺型半導体層である。層3は、N⁻型半導体層である。層6は、P⁺型半導体層である。層5は、N⁻型半導体層である。図4(b)は、層4と層6をエッチングして、層3と層5を露出させた状態を示す。図4(c)は、層3と層5をエッチングして、層1を露出させた状態を示す。

【図6】



PATENTS ABSTRACTS OF JAPAN

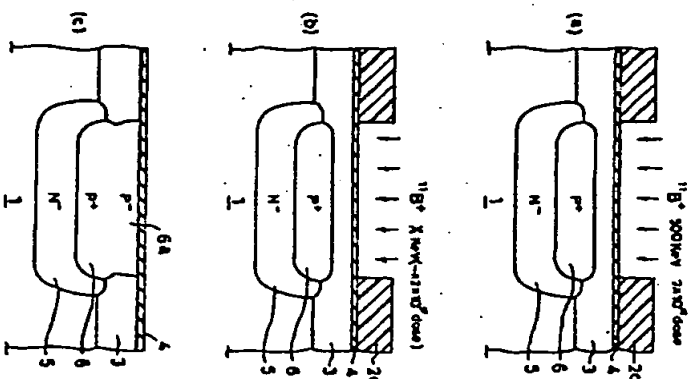
E-1474 December 10, 1993Vol. 17/No. 672

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

- (11) 5-226351 (A) (43) 3.9.1993 (19) JP
(21) Appl. No. 4-29136 (22) 17.2.1992
(71) SHARP CORP (72) KANJI YAMAMURA
(51) Int. Cl. H01L21/331, H01L29/73

PURPOSE: To obtain a high-frequency and high-speed vertical type PNP transistor by forming a flat low-doped collector area by suppressing the creeping-up of a buried collector layer to an epitaxial layer side by performing diffusion heat treatment, etc., after continuously performing ion implantation two or more times into the epitaxial layer with different acceleration energy.

CONSTITUTION: After a buried area 5 is formed on a semiconductor substrate 1 through a photolithographic process, an epitaxial layer 3 is formed on the entire surface of the substrate 1 and a resist 2c is formed on the layer 3 through its oxide film 4. Then an opening is formed by removing the resist 2c and film 4 on the part of layer 3 proposed to a low-doped collector layer 6a and ions are continuously implanted into the opening two or more times with different acceleration energy and diffusion heat treatment is performed. For example, boron ions are implanted by changing the acceleration energy from 500KeV to 50KeV through 300KeV, 150KeV, and 100KeV.



LEGENDE

zu den Bibliographiedaten

- (54) Titel der Patentanmeldung (22) Anmeldetag in Japan
(11) Nummer der JP-A2 Veröffentlichung (71) Anmelder
(21) Aktenzeichen der JP-Anmeldung (52) Japanische Patentklassifikation
(43) Veröffentlichungstag (51) Internationale Patentklassifikation